

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

YAMAGATA et al.

Atty. Ref.: 925-219

Serial No. 09/993,890

Group: 2812

Filed: November 27, 2001

Examiner: unknown

For: METHOD FOR MANUFACTURING NONVOLATILE  
SEMICONDUCTOR MEMORY WITH NARROW  
VARIATION IN THRESHOLD VOLTAGES OF  
MEMORY CELLS

\* \* \* \* \*

Assistant Commissioner for Patents  
Washington, DC 20231

**SUBMISSION OF PRIORITY DOCUMENTS**

Sir:

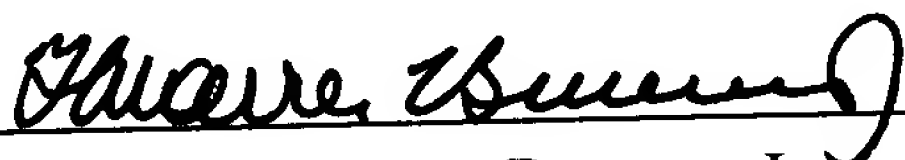
It is respectfully requested that this application be given the benefit of the foreign filing date under the provisions of 35 U.S.C. §119 of the following, a certified copy of which is submitted herewith:

<u>Application No.</u>	<u>Country of Origin</u>	<u>Filed</u>
2000-361152	Japan	28/11/2000

Respectfully submitted,

**NIXON & VANDERHYE P.C.**

December 10, 2001

By:   
H. Warren Burnam, Jr.  
Reg. No. 29,366

HWB:lsb  
1100 North Glebe Road, 8th Floor  
Arlington, VA 22201-4714  
Telephone: (703) 816-4000  
Facsimile: (703) 816-4100

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月28日

出 願 番 号

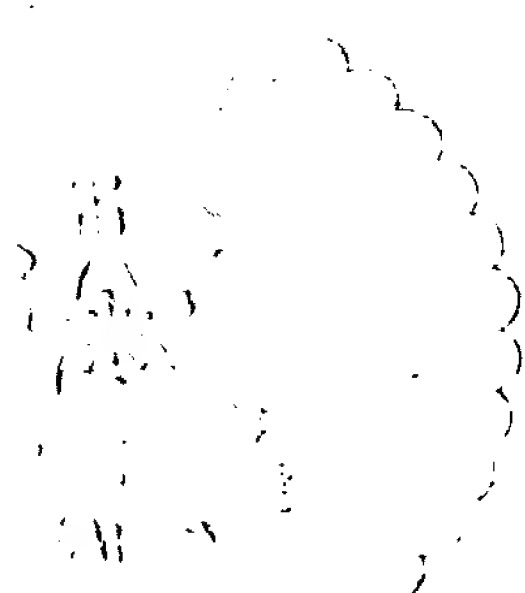
Application Number:

特願2000-361152

出 願 人

Applicant(s):

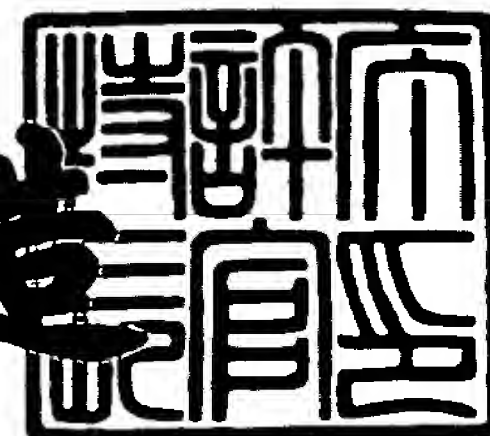
シャープ株式会社



2001年 8月31日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3077261

【書類名】 特許願

【整理番号】 173905

【提出日】 平成12年11月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 山形 知

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 吉見 正徳

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

特 2 0 0 0 - 3 6 1 1 5 2

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0003090

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体メモリの製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上にトンネル酸化膜、浮遊ゲート、第 1 の絶縁膜および制御ゲートをこの順に積層状態に有するメモリセルを行列状に形成する不揮発性メモリの製造方法であって、

上記半導体基板上にトンネル酸化膜を形成する工程と、

上記トンネル酸化膜上に、上記浮遊ゲートの材料となる第 1 の導電層を一方向に延びるストライプ状に形成する工程と、

上記第 1 の導電層をマスクとして上記半導体基板表面にソース・ドレイン領域を形成する工程と、

上記半導体基板上に第 1 の絶縁膜、第 2 の導電層を順に形成した後、上記第 1 の導電層と直交する方向に延びるストライプ状のマスクを用いてエッチングを行って、上記第 2 の導電層からなるストライプ状の制御ゲート、ストライプ状の第 1 の絶縁膜および上記第 1 の導電層からなる直方体状の浮遊ゲートを形成する工程と、

等方性エッチングを行って、上記トンネル酸化膜のうち上記浮遊ゲートの側壁直下に相当する部分を除去する工程と、

上記半導体基板上に第 2 の絶縁膜を堆積して、上記制御ゲート、第 1 の絶縁膜、浮遊ゲートおよびトンネル酸化膜の側壁を上記第 2 の絶縁膜で覆う工程を有することを特徴とする不揮発性半導体メモリの製造方法。

【請求項 2】 請求項 1 に記載の不揮発性半導体メモリの製造方法において、

上記第 2 の絶縁膜堆積後に熱酸化を行って、上記浮遊ゲートの側壁を第 2 の絶縁膜を介して酸化する工程を有することを特徴とする不揮発性半導体メモリの製造方法。

【請求項 3】 請求項 1 または 2 に記載の不揮発性半導体メモリの製造方法において、

上記浮遊ゲート形成後の上記トンネル酸化膜に対する等方性エッチングを、ふ

っ酸によるウェットエッチングによって行うことを特徴とする不揮発性半導体メモリの製造方法。

【請求項 4】 請求項 1、2 または 3 に記載の不揮発性半導体メモリの製造方法において、

上記第 2 の絶縁膜は化学的気相成長法によって形成したシリコン酸化膜であることを特徴とする不揮発性半導体メモリの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は不揮発性半導体メモリの製造方法に関し、より詳しくは、半導体基板上にトンネル酸化膜、浮遊ゲート、絶縁膜および制御ゲートをこの順に積層状態に有する不揮発性半導体メモリの製造方法に関する。

【0 0 0 2】

【従来の技術】

従来、この種の不揮発性半導体メモリは、図 1 0 および図 1 1 に示すような工程順にしたがって製造されている。なお、図 1 0 (A 1) ~ (A 3) は図 1 (A) における X-X 方向断面、図 1 1 (B 1) ~ (B 3) は図 1 (A) における Y-Y 方向断面にそれぞれ対応する。ここで図 1 (A) は本発明の実施形態に係る平面図であるが、便宜上、従来の技術を説明するためにも用いている。

【0 0 0 3】

まず図 1 0 (A 1), 図 1 1 (B 1) に示すように、半導体基板 1 上に、熱酸化を行って膜厚 1 0 n m のトンネル酸化膜 2 を形成し、浮遊ゲートの材料として膜厚 1 0 0 n m のポリシリコンからなる第 1 の導電層 3 を堆積し、続いて、これらのトンネル酸化膜 2 および第 1 の導電層 3 を、Y-Y 方向に延びるストライプ状にパターン加工する。このとき第 1 の導電層 3 の X-X 方向 (チャネル方向) のサイズは、最終的に形成される浮遊ゲートのサイズに合わせて設定される。

【0 0 0 4】

次に、上記ストライプ状にパターン加工された第 1 の導電層 3 をマスクとして、加速エネルギー 5 0 k e V、ドーズ量  $3.0 \times 10^{13}$  i o n s / c m<sup>2</sup> の条件で

P（リン）イオンの注入を行って、半導体基板 1 の表面のうち第 1 の導電層 3 の間に相当する領域に N 型の低濃度不純物拡散層 4 を形成する。

#### 【 0 0 0 5 】

次に、フォトリソグラフィを行って Y-Y 方向に延びるストライプ状にフォトレジスト（図示せず）を形成する。このフォトレジストおよび上記ストライプ状にパターン加工された第 1 の導電層 3 をマスクとして、加速エネルギー  $15 \text{ keV}$ 、ドーズ量  $4.5 \times 10^{15} \text{ ions/cm}^2$  の条件で As（ヒ素）イオンの注入を行って、低濃度不純物拡散層 4 内に N 型の高濃度不純物拡散層 5 を形成する。これらの不純物拡散層 4, 5 がソース・ドレイン領域（すなわちビットライン）となる。

#### 【 0 0 0 6 】

次に図 10（A2）、図 11（B2）に示すように、この上に CVD 法によって第 1 の導電層 3 の厚さを超える厚さに層間絶縁膜 6 を堆積して、第 1 の導電層 3 を十分に覆い、続いてエッチバックを行って表面側を平坦化するとともに第 1 の導電層 3 の間に層間絶縁膜 6 を残す（埋め込む）。

#### 【 0 0 0 7 】

次に図 10（A3）、図 11（B3）に示すように、例えば ONO 膜（酸化膜／窒化膜／酸化膜）からなる第 1 の絶縁膜 7 を堆積した後、膜厚  $200 \text{ nm}$  のポリシリコンからなる第 2 の導電層 8 を堆積する。その後、フォトリソグラフィを行って X-X 方向に延びるストライプ状にフォトレジスト（図示せず）を形成する。このフォトレジストをマスクとして第 2 の導電層 8、第 1 の絶縁膜 7、第 1 の導電層 3 をエッチングしてパターン加工する。これにより、第 2 の導電層からなるストライプ状の制御ゲート 8、ONO 膜からなるストライプ状の第 1 の絶縁膜 7 および第 1 の導電層からなる直方体状の浮遊ゲート 3 を形成する。

#### 【 0 0 0 8 】

この状態では、図 12（A）（図 11（B3）中の破線で囲んだ部分 P を拡大して示す）に示すように、トンネル酸化膜 2 のうち浮遊ゲート 3 の側壁直下に相当する部分 2d にダメージ（×印で示す）が入っている。このダメージ層は、完成後の動作時に浮遊ゲート 3 から半導体基板 1 側へ電子がリークするパスとなり

易い。そこで図 1 2 (B) に示すように、例えば 8 5 0 ℃ の酸素雰囲気中で 2 0 分間の熱酸化を行って、ポリシリコンからなる浮遊ゲート 3 および制御ゲート 8 の側壁に膜厚 2 0 n m ~ 3 0 n m のシリコン酸化膜 1 1 を形成する。

#### 【 0 0 0 9 】

次に図 1 1 (B 3) に示すように、制御ゲート 8 をマスクとして、加速エネルギー 4 0 k e V 、ドーズ量  $1.0 \times 10^{13} \text{ ions/cm}^2$  の条件でボロン (B) イオンを注入して、半導体基板 1 の表面のうち制御ゲート 8 の間に相当する領域に P 型の素子分離用不純物拡散層 9 を形成する。

#### 【 0 0 1 0 】

その後、いずれも図示しないが、公知の手法によって、この上に層間絶縁膜を堆積し、この層間絶縁膜にコンタクトホールを開口し、さらに配線を形成することにより、不揮発性メモリを完成させる。

#### 【 0 0 1 1 】

#### 【発明が解決しようとする課題】

しかしながら、上述の製造方法では、浮遊ゲート 3 および制御ゲート 8 の側壁にシリコン酸化膜 1 1 を形成するために浮遊ゲート 3 および制御ゲート 8 の側壁を酸化する工程で、図 7 (図 1 2 (B) 中の破線で囲んだ部分 P 1 を拡大して示す) に示すような、浮遊ゲート 3 をなすポリシリコンのグレイン 1 2 間の粒界 1 3 が容易に酸化されるため、酸化が不均一に局所的に生じる。この結果、不揮発性メモリの動作において、浮遊ゲート 3 と半導体基板 1 (ソース・ドレイン領域) との間で局所的な電界集中が起こる。このため、書き込み動作時に各メモリセルでトンネル酸化膜を通して等しい F N (ファウラーノルドハイム) 電流が流れず、メモリセル間で閾値電圧のバラツキが大きくなる、という問題がある。

#### 【 0 0 1 2 】

周知のように、通常は、同一のワードライン (制御ゲート) 上にあるメモリセルには同時に書き込みが行われる。図 9 に示す、同一ワードライン上のメモリセルの書き込み後の閾値電圧分布から分かるように、上述の方法によって製造された不揮発性メモリセルでは、同一ワードライン上のメモリセル間で閾値電圧のバラツキが 2. 2 V と大きい。



## 【 0 0 1 3 】

書き込み動作時には、閾値電圧をそろえるために、通常ビット毎のベリファイ書き込みを行う。しかしながら、上記のように同一ワードライン上のメモリセル間で閾値電圧のバラツキが大きい場合、書き込み動作時のステップ数を増やす必要があり、書き込み時間が長くなる。

## 【 0 0 1 4 】

また、この半導体メモリに書き込む際に、同一ワードライン上の非選択のメモリセルにも高電圧がかかるために、非選択セルの浮遊ゲート中の電子が引き抜かれるという問題（ゲートディスタ urb）が生じる。同一ワードライン上のメモリセル間で閾値電圧のバラツキが大きい場合、特に書き込みの速いメモリセルでは、ゲートディスタ urbの影響も受け易い。

## 【 0 0 1 5 】

なお、上記問題を解決するために、例えば図 1 3 に示すように、半導体基板 2 1 上に、トンネル酸化膜 2 4、浮遊ゲート電極 2 5、ソース領域 2 4 を形成した後、浮遊ゲート電極 2 5 の材料を等方性エッチングし、続いて酸化する技術が提案されている（特開平 9 - 1 7 8 9 0 号公報）。これにより、浮遊ゲート 2 5 の半導体基板 2 1 側のコーナ部分を丸めるとともに酸化膜 2 8 を形成している。しかしながら、この技術では、浮遊ゲート電極 2 5 をなすポリシリコンのグレインに起因する、不均一で局所的な酸化を制御することができない。この結果、電界集中を防ぐことができず、メモリセル毎に FN 電流がばらつき、メモリセル間で閾値電圧のばらつきが大きくなる。また、等方性エッチング工程でエッチング量の制御が難しいため、そのマージンを多くとる必要があり、今後の微細化の妨げになる。さらに、等方性エッチング工程でのエッチング量に応じて浮遊ゲートのサイズが変化して、チャネル長やチャネル幅が変わるので、そのことが閾値電圧のばらつきの一因となる。

## 【 0 0 1 6 】

そこで、この発明の目的は、閾値電圧のバラツキを抑えて、ゲートディスタ urb 等の様々な問題を解消できる不揮発性半導体メモリの製造方法を提供することにある。

## 【 0 0 1 7 】

## 【課題を解決するための手段】

上記目的を達成するため、この発明の不揮発性半導体メモリの製造方法は、半導体基板上にトンネル酸化膜、浮遊ゲート、第1の絶縁膜および制御ゲートをこの順に積層状態に有するメモリセルを行列状に形成する不揮発性メモリの製造方法であって、上記半導体基板上にトンネル酸化膜を形成する工程と、上記トンネル酸化膜上に、上記浮遊ゲートの材料となる第1の導電層を一方向に延びるストライプ状に形成する工程と、上記第1の導電層をマスクとして上記半導体基板表面にソース・ドレイン領域を形成する工程と、上記半導体基板上に第1の絶縁膜、第2の導電層を順に形成した後、上記第1の導電層と直交する方向に延びるストライプ状のマスクを用いてエッチングを行って、上記第2の導電層からなるストライプ状の制御ゲート、ストライプ状の第1の絶縁膜および上記第1の導電層からなる直方体状の浮遊ゲートを形成する工程と、等方性エッチングを行って、上記トンネル酸化膜のうち上記浮遊ゲートの側壁直下に相当する部分を除去する工程と、上記半導体基板上に第2の絶縁膜を堆積して、上記制御ゲート、第1の絶縁膜、浮遊ゲートおよびトンネル酸化膜の側壁を上記第2の絶縁膜で覆う工程を有することを特徴とする。

## 【 0 0 1 8 】

この不揮発性半導体メモリの製造方法では、浮遊ゲート形成工程後に等方性エッチングを行って、トンネル酸化膜のうち浮遊ゲートの側壁直下に相当する部分を除去しているため、浮遊ゲート形成工程でトンネル酸化膜中に生じたダメージ層が除去される。したがって、完成後の動作時に浮遊ゲートから半導体基板側へ電子がリークするパスが無くなる。また、上記第2の絶縁膜堆積後に熱酸化を行って、上記浮遊ゲートの側壁を第2の絶縁膜を介して酸化するようにすれば、浮遊ゲートとその周囲の絶縁膜との界面で酸化が均一に生じる。したがって、書き込み動作時に各メモリセルでトンネル酸化膜を通して等しいFN（ファウラーノルドハイム）電流が流れるようになり、従来に比してメモリセル間、例えば同一ワードライン上のメモリセル間で閾値電圧のバラツキが小さくなる。

## 【 0 0 1 9 】

この結果、同一ワードライン上での閾値電圧がばらつかないので、書き込み動作時のステップ数を減らすことができ、書き込み時間を短縮できる。

【 0 0 2 0 】

また、同一ワードライン上で特に書き込みの速いメモリセルを無くすことができ、ゲートディスタープを受けるメモリセルを減らすことができる。

【 0 0 2 1 】

また、上記第 2 の絶縁膜は浮遊ゲートのスペース部分に形成するので、微細化の妨げにはならない。

【 0 0 2 2 】

さらに、上記浮遊ゲート形成後の上記トンネル酸化膜に対する等方性エッチング、上記第 2 の絶縁膜の堆積によっては、浮遊ゲートのサイズは変わらない。したがって、チャネル長による短チャネル効果やチャネル幅の変化による狭チャネル効果の問題は生じることがなく、それらに起因する閾値電圧のバラツキは生じない。

【 0 0 2 3 】

一実施形態の不揮発性半導体メモリの製造方法は、上記第 2 の絶縁膜堆積後に熱酸化を行って、上記浮遊ゲートの側壁を第 2 の絶縁膜を介して酸化する工程を有することを特徴とする。

【 0 0 2 4 】

この一実施形態の不揮発性半導体メモリの製造方法では、上記第 2 の絶縁膜堆積後に熱酸化を行って、上記浮遊ゲートの側壁を第 2 の絶縁膜を介して酸化しているので、浮遊ゲートとその周囲の絶縁膜との界面で酸化が均一に生じる。したがって、書き込み動作時に各メモリセルでトンネル酸化膜を通して等しい FN（ファウラーノルドハイム）電流が流れるようになり、従来に比してメモリセル間、例えば同一ワードライン上のメモリセル間で閾値電圧のバラツキが小さくなる。

【 0 0 2 5 】

一実施形態の不揮発性半導体メモリの製造方法は、上記浮遊ゲート形成後の上記トンネル酸化膜に対する等方性エッチングを、ふっ酸によるウェットエッチン

グによって行うことを特徴とする。

【 0 0 2 6 】

この一実施形態の不揮発性半導体メモリの製造方法では、上記浮遊ゲート形成後の上記トンネル酸化膜に対する等方性エッチングを、ふっ酸によるウェットエッチングによって行うので、上記トンネル酸化膜のうち上記浮遊ゲートの側壁直下に相当する部分を精度良く除去することができる。

【 0 0 2 7 】

一実施形態の不揮発性半導体メモリの製造方法は、上記第 2 の絶縁膜は化学的気相成長法によって形成したシリコン酸化膜であることを特徴とする。

【 0 0 2 8 】

この一実施形態の不揮発性半導体メモリの製造方法では、上記第 2 の絶縁膜は化学的気相成長法によって形成したシリコン酸化膜であるから、上記制御ゲート、第 1 の絶縁膜、浮遊ゲートおよびトンネル酸化膜の側壁を上記第 2 の絶縁膜によって良好に覆うことができる。

【 0 0 2 9 】

【発明の実施の形態】

以下、この発明の不揮発性半導体メモリの製造方法を実施の形態により詳細に説明する。

【 0 0 3 0 】

図 1 (A) は、製造すべき不揮発性半導体メモリアレイの平面レイアウトを示している。同図 (B) は同図 (A) における X-X 線断面、同図 (C) は同図 (A) における Y-Y 線断面に相当する。なお、この実施形態では、理解の容易のため、図 1 0 ～図 1 2 中の要素と同じ要素には同一の符号を用いている。

【 0 0 3 1 】

この不揮発性半導体メモリアレイは、半導体基板 1 の表面に形成された低濃度不純物拡散層 4 内に、さらに高濃度不純物拡散層 5 を備えている。これらの不純物拡散層 4, 5 によってソース・ドレイン領域 (すなわちビットライン) が構成されている。ソース・ドレイン領域 4, 5 の間のチャネル領域 1 9 上に、トンネル酸化膜 2、浮遊ゲート 3、第 1 の絶縁膜 7、制御ゲート 8 がこの順に積層状態

に設けられている。9は素子分離用不純物拡散層、10は第2の絶縁膜を示している。

#### 【0032】

なお、本実施の形態においては、ソース配線およびドレイン配線が固定されず、ソース配線（接地配線）とドレイン配線とが適宜入れ代わる方式（以下、「仮想接地方式」という。）のメモリセルアレイについて説明する。

#### 【0033】

この不揮発性半導体メモリアレイは、図3および図4に示すような工程順にしたがって製造される。

#### 【0034】

まず図3（A1）、図4（B1）に示すように、単結晶シリコンからなる半導体基板1上に、熱酸化を行って膜厚10nmのトンネル酸化膜2を形成し、浮遊ゲートの材料として膜厚100nmのポリシリコンからなる第1の導電層3を堆積し、続いて、これらのトンネル酸化膜2および第1の導電層3を、Y-Y方向に延びるストライプ状にパターン加工する。このとき第1の導電層3のX-X方向（チャネル方向）のサイズは、最終的に形成される浮遊ゲートのサイズに合わせて設定される。

#### 【0035】

次に、上記ストライプ状にパターン加工された第1の導電層3をマスクとして、加速エネルギー50keV、ドーズ量 $3.0 \times 10^{13} \text{ ions/cm}^2$ の条件でP（リン）イオンの注入を行って、半導体基板1の表面のうち第1の導電層3の間に相当する領域にN型の低濃度不純物拡散層4を形成する。

#### 【0036】

次に、フォトリソグラフィを行ってY-Y方向に延びるストライプ状にフォトレジスト（図示せず）を形成する。このフォトレジストおよび上記ストライプ状にパターン加工された第1の導電層3をマスクとして、加速エネルギー15keV、ドーズ量 $4.5 \times 10^{15} \text{ ions/cm}^2$ の条件でAs（ヒ素）イオンの注入を行って、低濃度不純物拡散層4内にN型の高濃度不純物拡散層5を形成する。これらの不純物拡散層4、5がソース・ドレイン領域（すなわちビットライン）

となる。

【 0 0 3 7 】

次に図 3 (A 2) , 図 4 (B 2) に示すように、この上に C V D 法によって第 1 の導電層 3 の厚さを超える厚さに層間絶縁膜 6 を堆積して、第 1 の導電層 3 を十分に覆い、続いてエッチバックを行って表面側を平坦化するとともに第 1 の導電層 3 の間に層間絶縁膜 6 を残す (埋め込む) 。

【 0 0 3 8 】

次に図 3 (A 3) 、図 4 (B 3) に示すように、例えば O N O 膜 (酸化膜 / 窒化膜 / 酸化膜) からなる第 1 の絶縁膜 7 を堆積した後、膜厚 2 0 0 n m のポリシリコンからなる第 2 の導電層 8 を堆積する。その後、フォトリソグラフィを行って X - X 方向に延びるストライプ状にフォトレジスト (図示せず) を形成する。このフォトレジストをマスクとして第 2 の導電層 8 、第 1 の絶縁膜 7 、第 1 の導電層 3 をエッチングしてパターン加工する。これにより、第 2 の導電層からなるストライプ状の制御ゲート 8 、O N O 膜からなるストライプ状の第 1 の絶縁膜 7 および第 1 の導電層からなる直方体状の浮遊ゲート 3 を形成する。

【 0 0 3 9 】

この状態では、図 5 (A) (図 4 (B 3) 中の破線で囲んだ部分 P を拡大して示す) に示すように、トンネル酸化膜 2 のうち浮遊ゲート 3 の側壁直下に相当する部分 2 d にダメージ (×印で示す) が入っている。このダメージ層は、完成後の動作時に浮遊ゲート 3 から半導体基板 1 側へ電子がリークするパスとなり易い。そこで図 5 (B) に示すように、等方性エッチング、この例ではふっ酸によるウェットエッチングを行って、トンネル酸化膜 2 のうち浮遊ゲート 3 の側壁直下に相当する部分 2 d を除去する。エッチング液としてふっ酸を用いたウェットエッチングによれば、その部分 2 d を精度良く除去することができる。

【 0 0 4 0 】

次に、図 5 (C) (および図 3 (A 3) 、図 4 (B 3) ) に示すように、半導体基板 1 上に、C V D 法 (化学気相成長法) によって膜厚 1 0 n m ~ 1 5 n m のシリコン酸化膜、例えば H T O 膜 (H i g h T e m p e r a t u r e c h e m i c a l v a p o r d e p o s i t e d O x s i d e) からなる第 2 の



絶縁膜 10 を堆積する。これにより、制御ゲート 8、第 1 の絶縁膜 7、浮遊ゲート 3 およびトンネル酸化膜 2 の側壁を第 2 の絶縁膜 10 で覆う。この第 2 の絶縁膜 10 は CVD 法によって堆積したものであるから、制御ゲート 8、第 1 の絶縁膜 7、浮遊ゲート 3 およびトンネル酸化膜 2 の側壁を良好に覆うことができる。

## 【 0 0 4 1 】

次に図 5 (D) に示すように、例えば 850℃ の酸素雰囲気中で 20 分間の熱酸化を行って、ポリシリコンからなる浮遊ゲート 3 および制御ゲート 8 の側壁を第 2 の絶縁膜 10 を介して酸化する。これにより、浮遊ゲート 3 および制御ゲート 8 の側壁に膜厚 20 nm ~ 30 nm のシリコン酸化膜 11 を形成する。このようにした場合、図 6 (図 5 (C) 中の破線で囲んだ部分 P2 を拡大して示す) に示すような、浮遊ゲート 3 をなすポリシリコンのグレイン 12 間の粒界 13 の酸化が抑制されて、浮遊ゲート 3 とその周囲の絶縁膜 10、2 との界面で酸化が均一に生じる。

## 【 0 0 4 2 】

次に図 4 (B3) に示すように、制御ゲート 8 をマスクとして、加速エネルギー 40 keV、ドーズ量  $1.0 \times 10^{13} \text{ ions/cm}^2$  の条件でボロン (B) イオンを注入して、半導体基板 1 の表面のうち制御ゲート 8 の間に相当する領域に P 型の素子分離用不純物拡散層 9 を形成する。

## 【 0 0 4 3 】

その後、いずれも図示しないが、公知の手法によって、この上に層間絶縁膜を堆積し、この層間絶縁膜にコンタクトホールを開口し、さらに配線を形成することにより、不揮発性メモリアレイを完成させる。

## 【 0 0 4 4 】

図 2 は、このようにして製造された不揮発性メモリアレイの等価回路を示している。不揮発性メモリアレイの書き込み、消去、読み出し動作において、メモリセル C12 (破線で囲んで示す) が選択された場合の動作条件は、表 1 に示すようなものである。なお、表 1 中の電圧の間には、 $V_{H1}, V_{H2} > V_{cc} > V_L$  なる関係がある。

【表 1】

動作モード	ワードライン電圧 (V)		ビットライン電圧(V)			
	WL1	WL2	BL1	BL2	BL3	BL4
書き込み	-VH1	0	Float	Vcc	Float	Float
消去	VH2	VH2or0	0	0	0	0
読み出し	Vcc	0	VL	VL	VL	VL

## 【 0 0 4 5 】

書き込み動作では、メモリセルC 1 2につながるワードライン（制御ゲート）WL 1に負の高電圧VH 1（例えば-8 V）を、メモリセルC 1 2のドレインにつながるビットラインBL 2に正の所定の電源電圧Vcc（例えば4 V）をそれぞれ印加する。また、その他のビットライBL 1、BL 3、BL 4はフローティング状態、その他のワードラインWL 2は0 Vとする。この条件で、メモリセルC 1 2では、浮遊ゲート3とドレイン5との間の電界によりトンネル酸化膜2を介してトンネル電流が流れ、メモリセルC 1 2への書き込みが行われる。一方、そのビットラインBL 2にソースが接続している非選択メモリセル、例えばメモリセルC 1 1では、制御ゲート8に電圧が印加されるが、ソースと浮遊ゲートとの間にトンネル現象を起こさない。これは、ソース領域が低い不純物濃度の不純物拡散層4で形成されているためであり、トンネル電流は流れず、書き込みは起こらない。

## 【 0 0 4 6 】

また、消去動作では、全ビットラインを0 Vとしておき、所望のワードラインWL 1に正の高電圧VH 2（例えば12 V）を印加することにより、複数のメモリセルの書き込み内容を一括して消去する。例えば、ワードラインWL 1へ電圧VH 2を印加した場合はメモリセルC 1 1、C 1 2、C 1 3の書き込み内容が、ワードラインWL 2へ電圧VH 2を印加した場合はメモリセルC 2 1、C 2 2、C 2 3の書き込み内容がそれぞれ一括して消去される。

## 【 0 0 4 7 】

また、選択セルC 1 2を読み出す読み出し動作では、ワードラインWL 1に所



定の電圧  $V_{cc}$  (例えば 3 V) を印加し、ビットライン  $BL_2$  に所定の電圧  $V_L$  (例えば 1 V)、ビットライン  $BL_3$  に 0 V 印加して、ビットライン間に流れる電流を検出する。

【 0 0 4 8 】

なお、メモリセル  $C_{12}$  が選択された場合について説明したが、同一のワードライン上にある選択セルには、同時に書き込みが行われる。

【 0 0 4 9 】

上述の製造方法では、既に述べたように、浮遊ゲート 3 形成工程後に等方性エッチングを行って、トンネル酸化膜 2 のうち浮遊ゲート 3 の側壁直下に相当する部分 2 d を除去しているため、浮遊ゲート 3 形成工程でトンネル酸化膜 2 中に生じたダメージ層が除去される。したがって、完成後の動作時に浮遊ゲート 3 から半導体基板 1 側へ電子がリークするパスが無くなる。しかも、第 2 の絶縁膜 1 0 堆積後に熱酸化を行って、浮遊ゲート 3 の側壁を第 2 の絶縁膜 1 0 を介して酸化しているため、浮遊ゲート 3 とその周囲の絶縁膜 1 0、2 との界面で酸化が均一に生じる。したがって、書き込み動作時に各メモリセルでトンネル酸化膜 2 を通して等しい FN (ファウラーノルドハイム) 電流が流れるようになり、従来に比してメモリセル間、例えば同一ワードライン上のメモリセル間で閾値電圧のバラツキが小さくなる。

【 0 0 5 0 】

この結果、同一ワードライン上での閾値電圧がばらつかないので、書き込み動作時のステップ数を減らすことができ、書き込み時間を短縮できる。

【 0 0 5 1 】

また、同一ワードライン上で特に書き込みの速いメモリセルを無くすことができ、ゲートディスタースを受けけるメモリセルを減らすことができる。

【 0 0 5 2 】

また、上記第 2 の絶縁膜 1 0 は浮遊ゲート 3 のスペース部分に形成するので、微細化の妨げにはならない。

【 0 0 5 3 】

さらに、上記浮遊ゲート 3 形成後のトンネル酸化膜 2 に対する等方性エッチン

グ、第2の絶縁膜10の堆積によっては、浮遊ゲート3のサイズは変わらない。したがって、チャンネル長による短チャンネル効果やチャンネル幅の変化による狭チャンネル効果の問題は生じることがなく、それらに起因する閾値電圧のバラツキは生じない。

## 【0054】

図8は、上述の方法によって製造された不揮発性メモリアレイについての、同一ワードライン上のメモリセルの書き込み後の閾値電圧分布を示している。この図8と図9（従来の不揮発性メモリアレイについての閾値電圧分布）とを比較すれば分かるように、上述の方法によって製造された不揮発性メモリセルでは、同一ワードライン上のメモリセル間で閾値電圧のバラツキが1.6Vと減少している。

## 【0055】

なお、この実施形態では、X-X方向に延びるストライプ状のマスクを用いて第1の導電層3を加工した後に、本発明を適用してトンネル酸化膜2に対する等方性エッチング、第2の絶縁膜10の堆積を行っているが、これに限られるものではない。Y-Y方向に延びるストライプ状のマスクを用いて第1の導電層3を加工した後に、本発明を適用してトンネル酸化膜2に対する等方性エッチング、第2の絶縁膜10の堆積を行っても良い。この場合も、同様な効果が得られる。

## 【0056】

また、本実施形態においては、高集積化に適する仮想接地方式のメモリアレイを製造するものとしたが、これに限定されない。本発明は他の様々なタイプの不揮発性半導体メモリに広く適用される。

## 【図面の簡単な説明】

【図1】 (A)は製造すべき仮想接地方式の不揮発性半導体メモリアレイの平面レイアウトを示す図、(B)は(A)におけるX-X線断面図、(C)は(A)におけるY-Y線断面図である。

【図2】 上記不揮発性半導体メモリアレイの等価回路図である。

【図3】 本発明の一実施形態の不揮発性半導体メモリの製造方法を示す工程断面図である。

【図 4】 本発明の一実施形態の不揮発性半導体メモリの製造方法を示す工程断面図である。

【図 5】 本発明の一実施形態の不揮発性半導体メモリの製造方法を示す工程断面図である。

【図 6】 本発明の一実施形態の不揮発性半導体メモリの製造方法における作用を説明する図である。

【図 7】 従来例の不揮発性半導体メモリの製造方法における問題点を説明する図である。

【図 8】 本発明の一実施形態の製造方法によって製造された不揮発性メモリアレイについての、同一ワードライン上のメモリセルの書き込み後の閾値電圧分布を示す図である。

【図 9】 従来例の製造方法によって製造された不揮発性メモリアレイについての、同一ワードライン上のメモリセルの書き込み後の閾値電圧分布を示す図である。

【図 1 0】 従来例の不揮発性半導体メモリの製造方法を示す工程断面図である。

【図 1 1】 従来例の不揮発性半導体メモリの製造方法を示す工程断面図である。

【図 1 2】 従来例の不揮発性半導体メモリの製造方法を示す工程断面図である。

【図 1 3】 別の従来例の不揮発性半導体メモリの製造方法を示す工程断面図である。

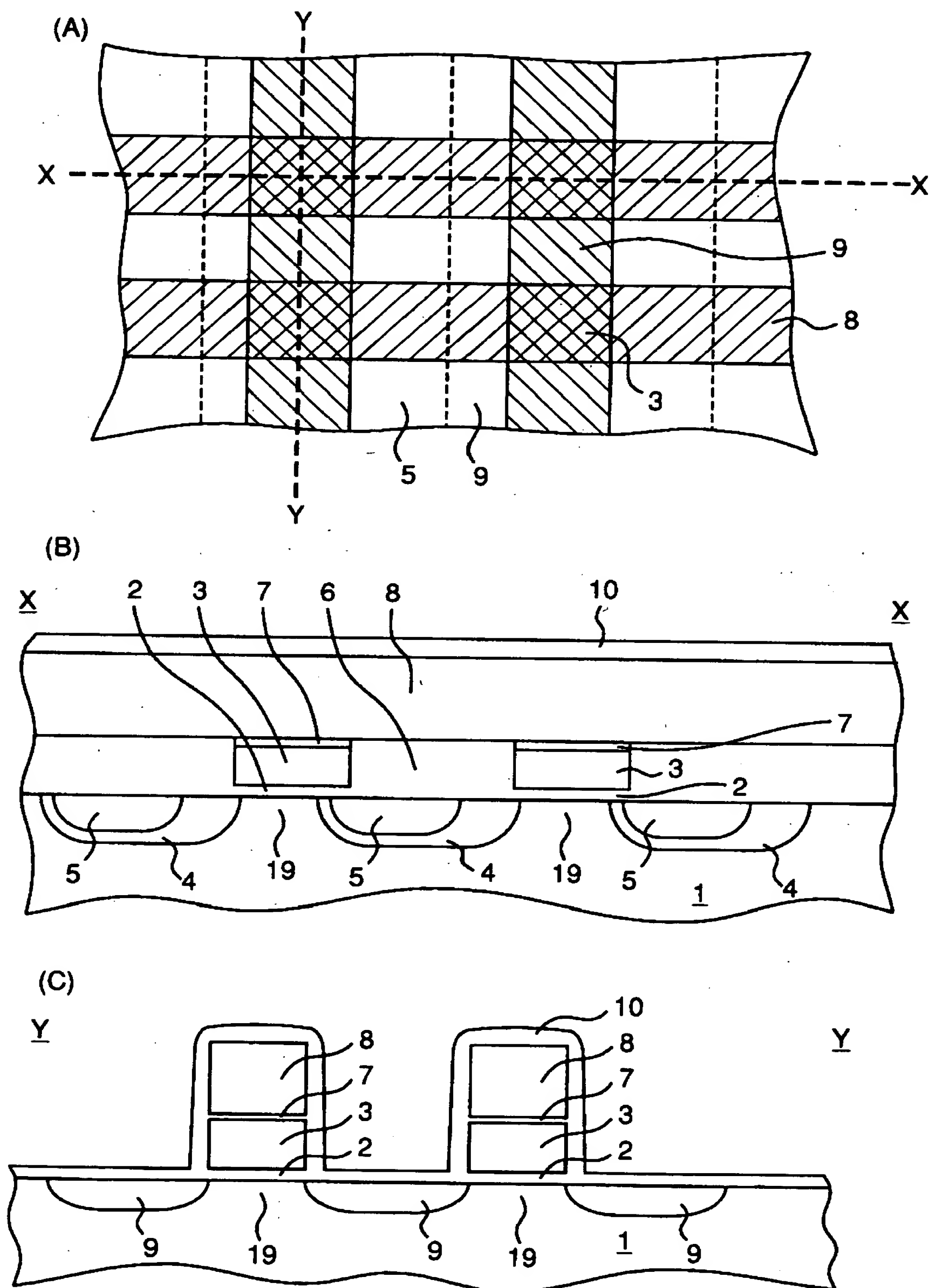
【符号の説明】

- 1 半導体基板
- 2 トンネル酸化膜
- 3 第 1 の導電層（浮遊ゲート）
- 4 低濃度不純物拡散層
- 5 高濃度不純物拡散層
- 6 層間絶縁膜

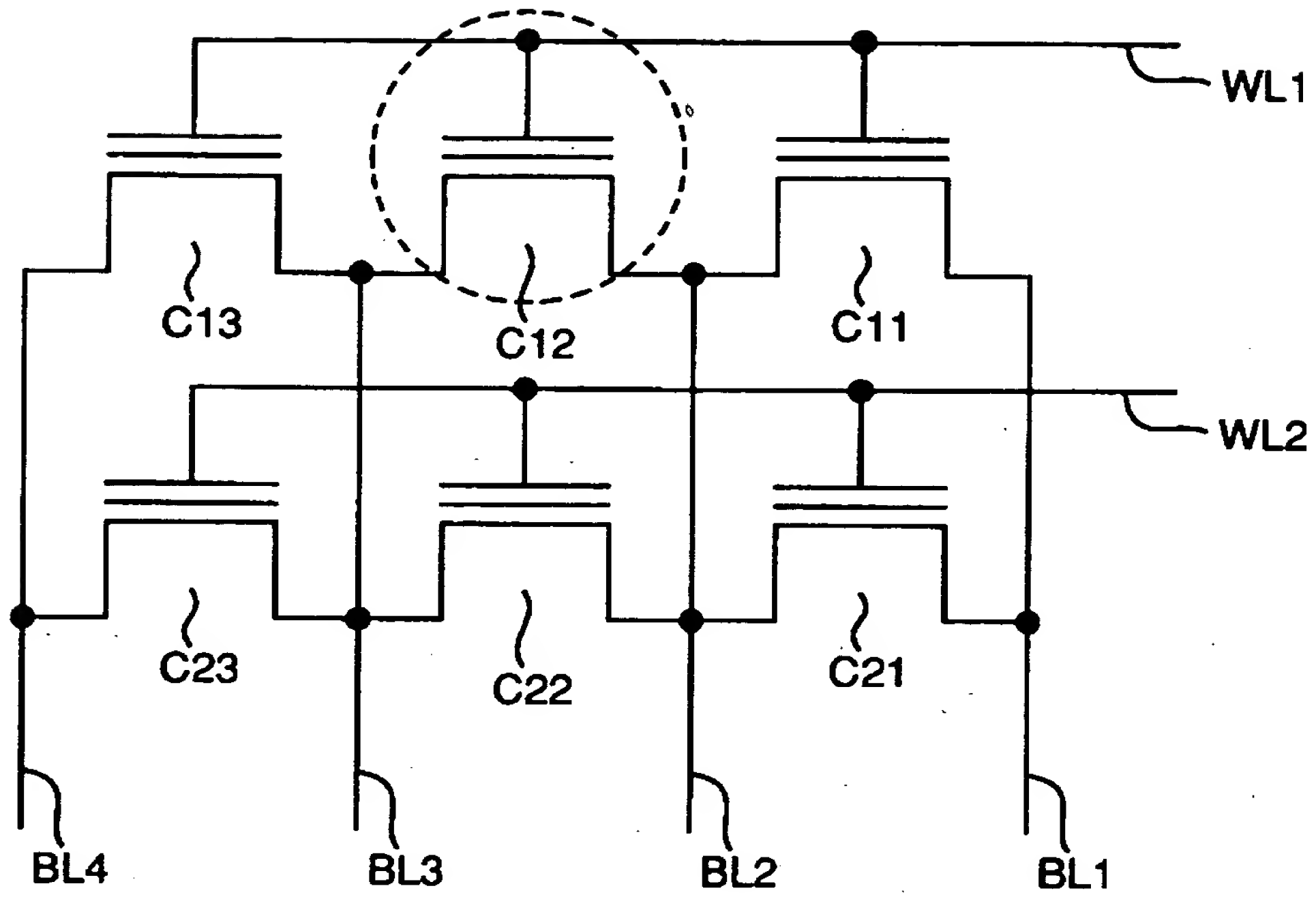
- 7    O N O 膜からなる第 1 の絶縁膜
- 8    ポリシリコンからなる第 2 の導電層（制御ゲート）
- 1 0    H T O 膜からなる第 2 の絶縁膜
- 1 1    シリコン熱酸化膜

【書類名】 図面

【図 1】

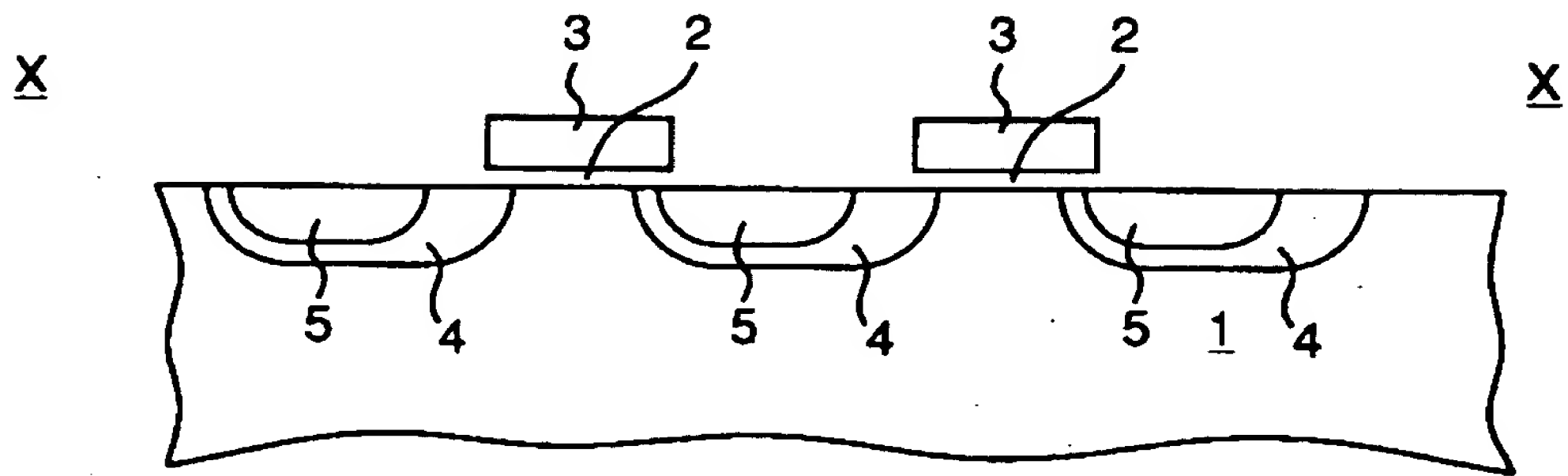


【図 2】

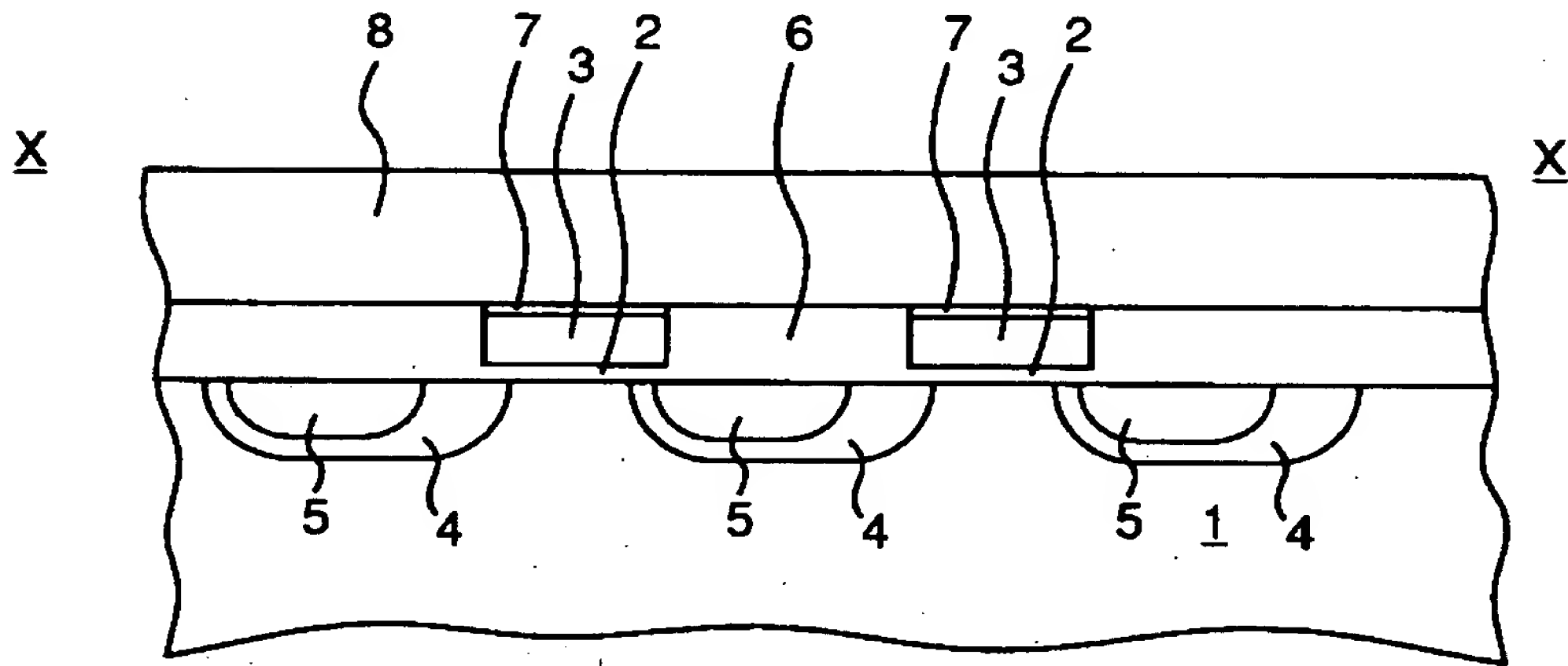


【図 3】

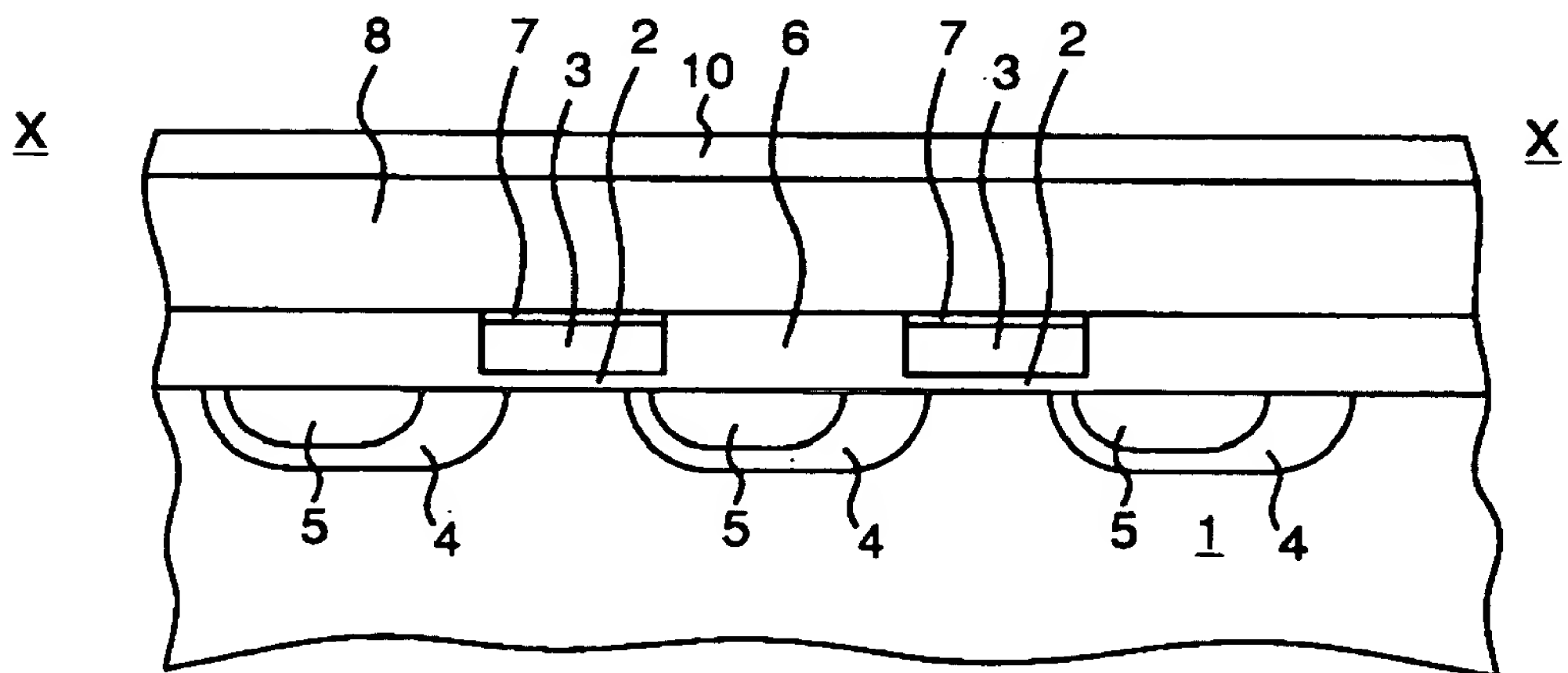
(A1)



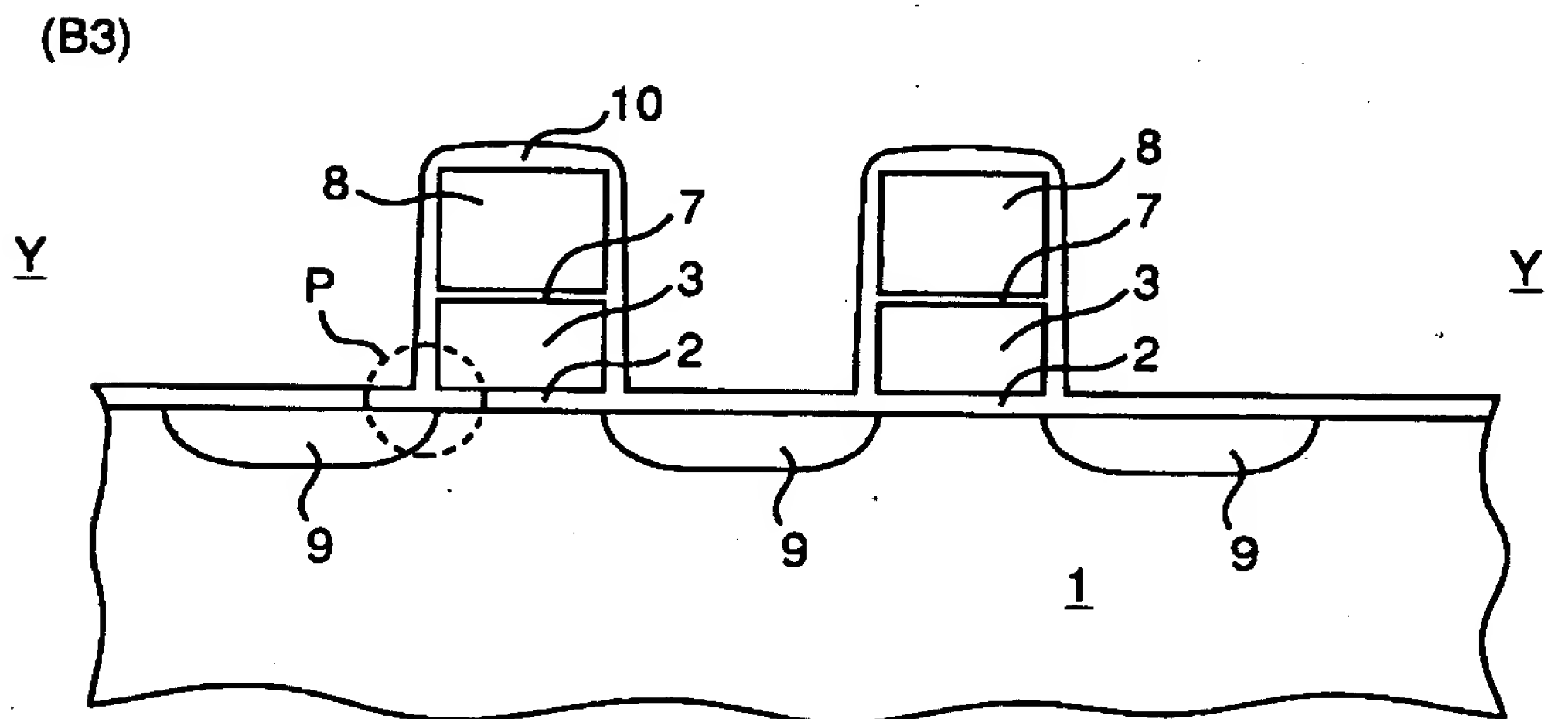
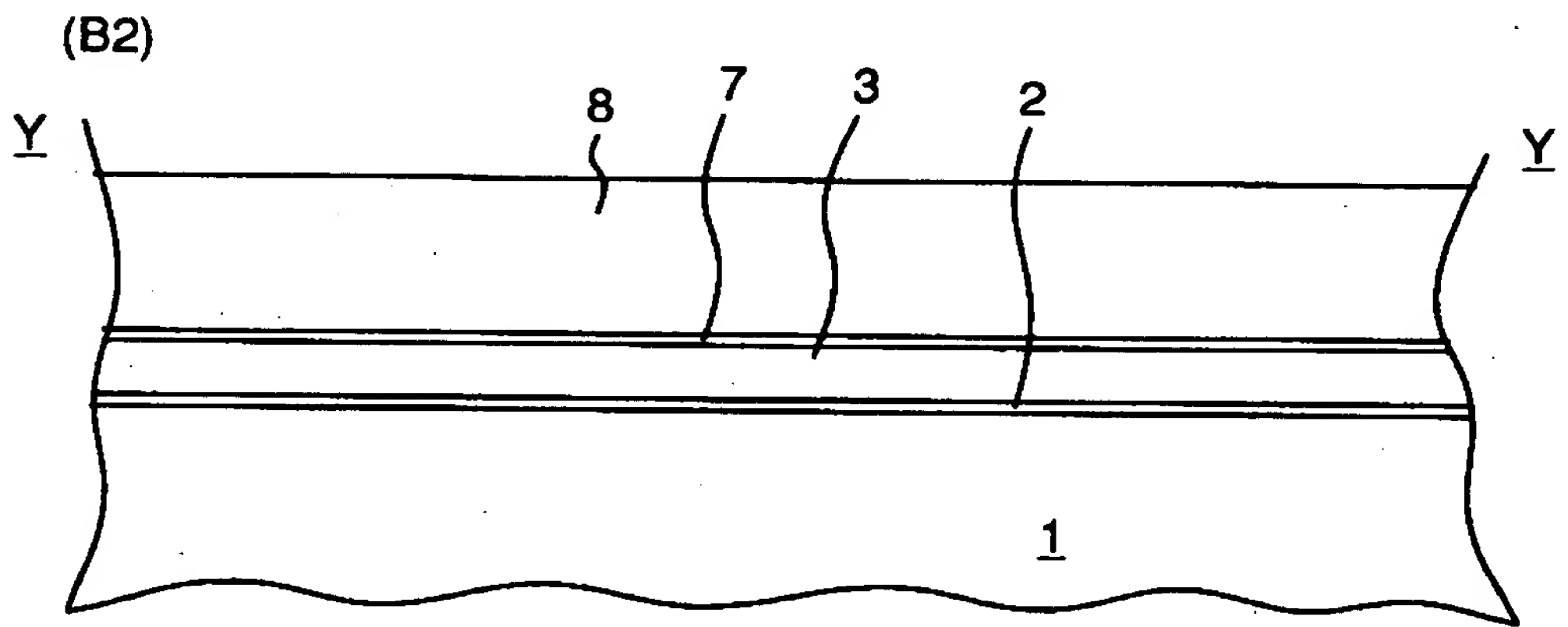
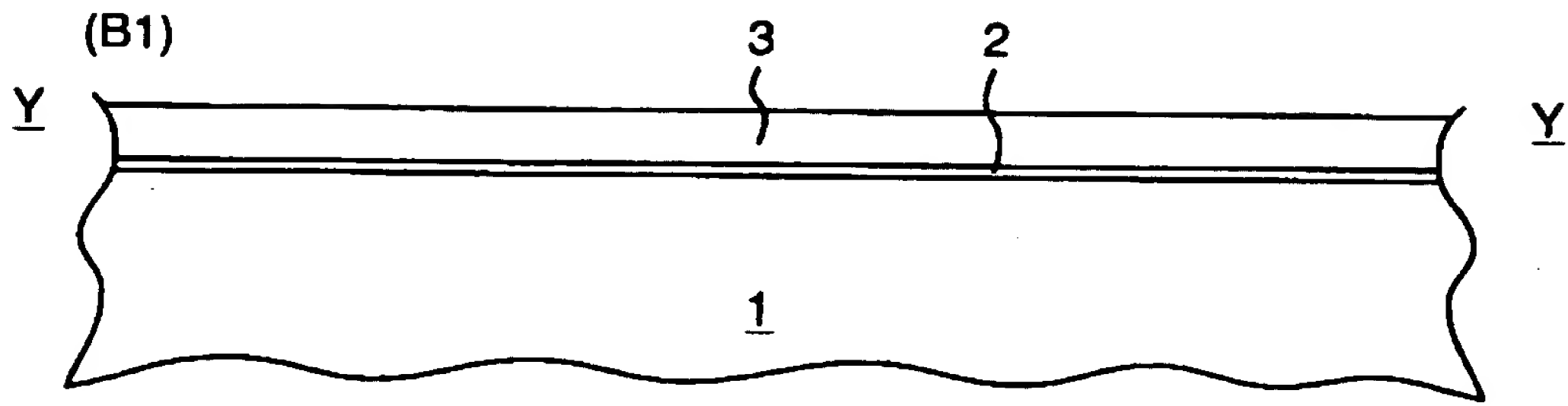
(A2)



(A3)

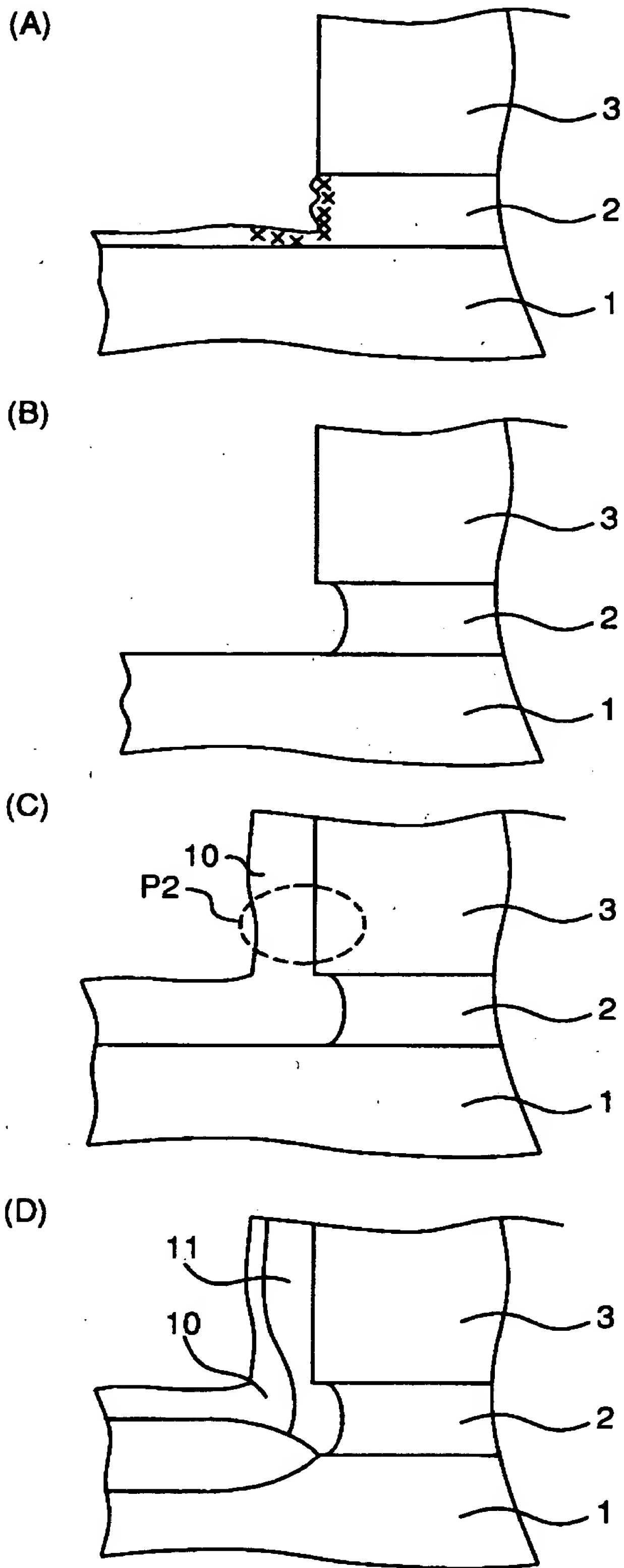


【図 4】

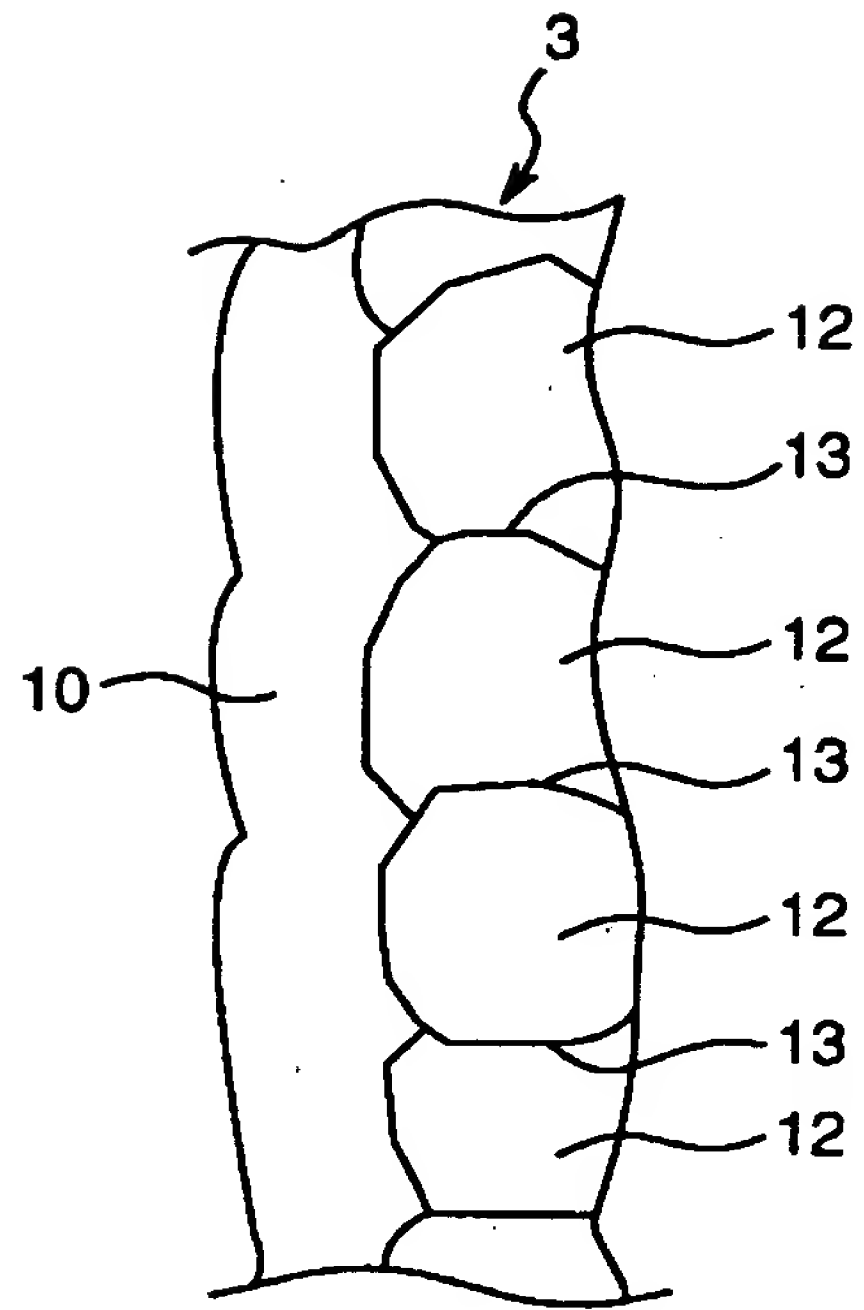




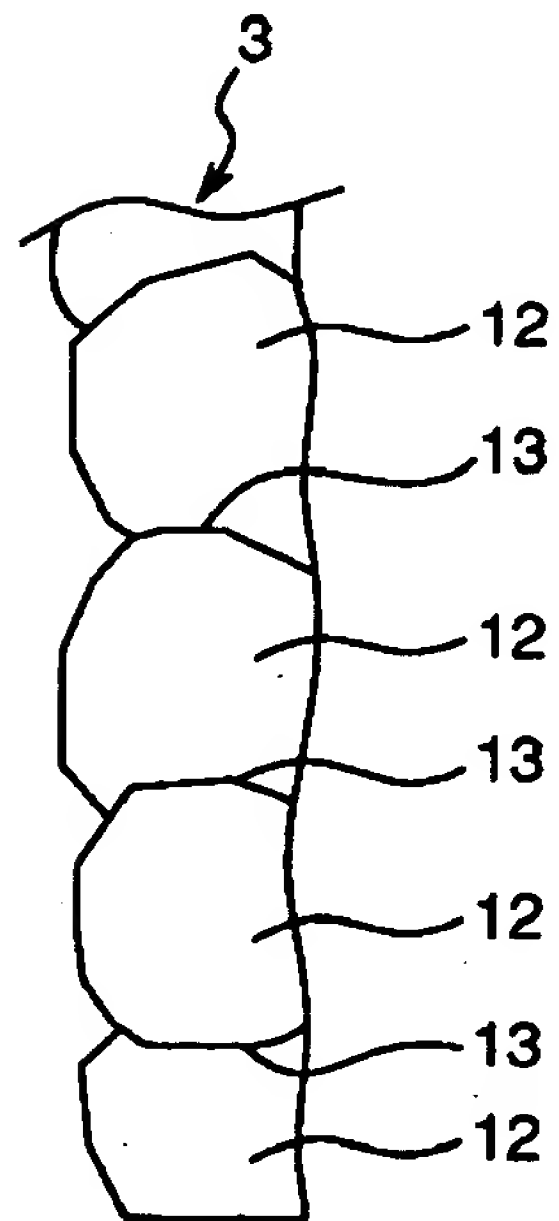
【図 5】



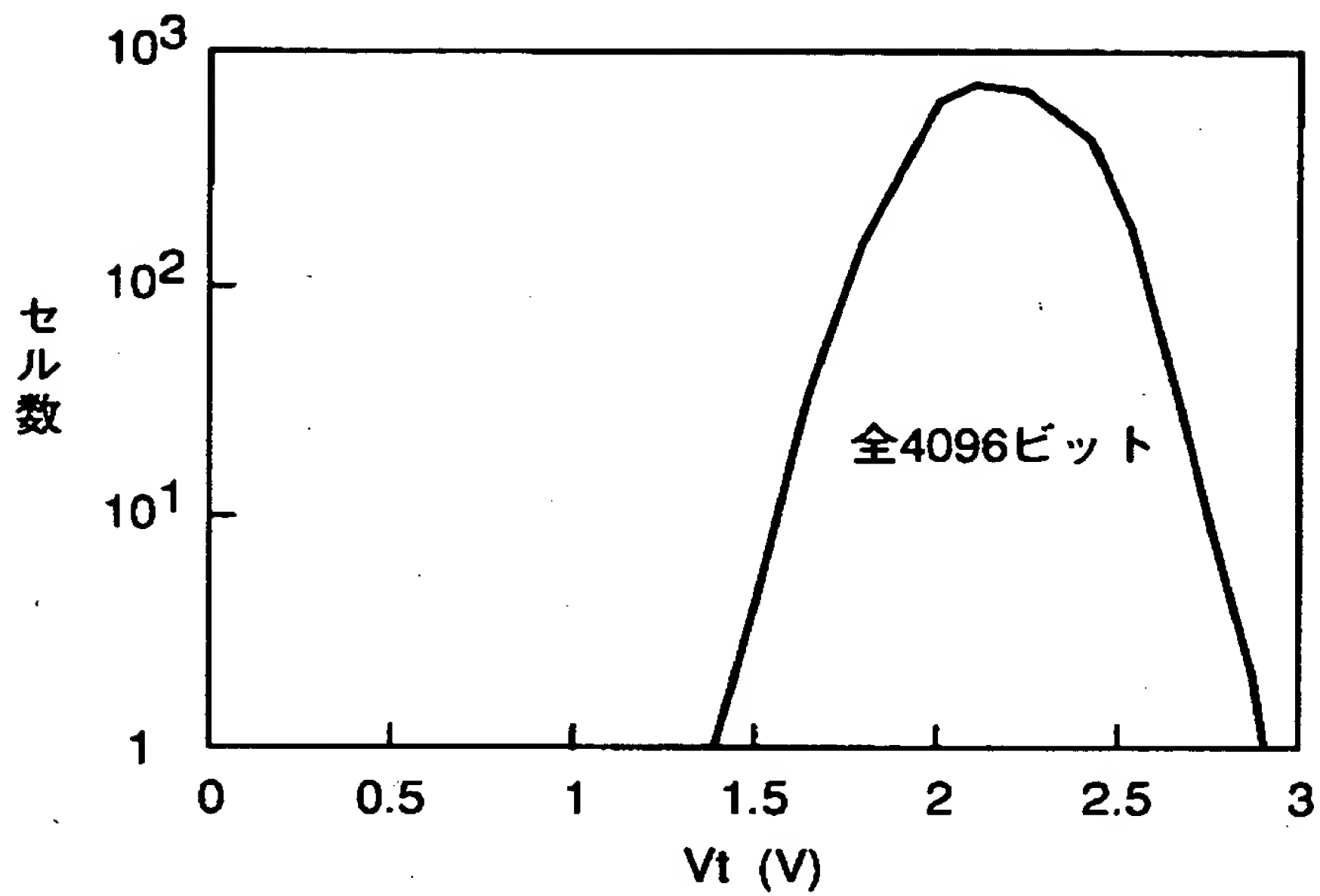
【図 6】



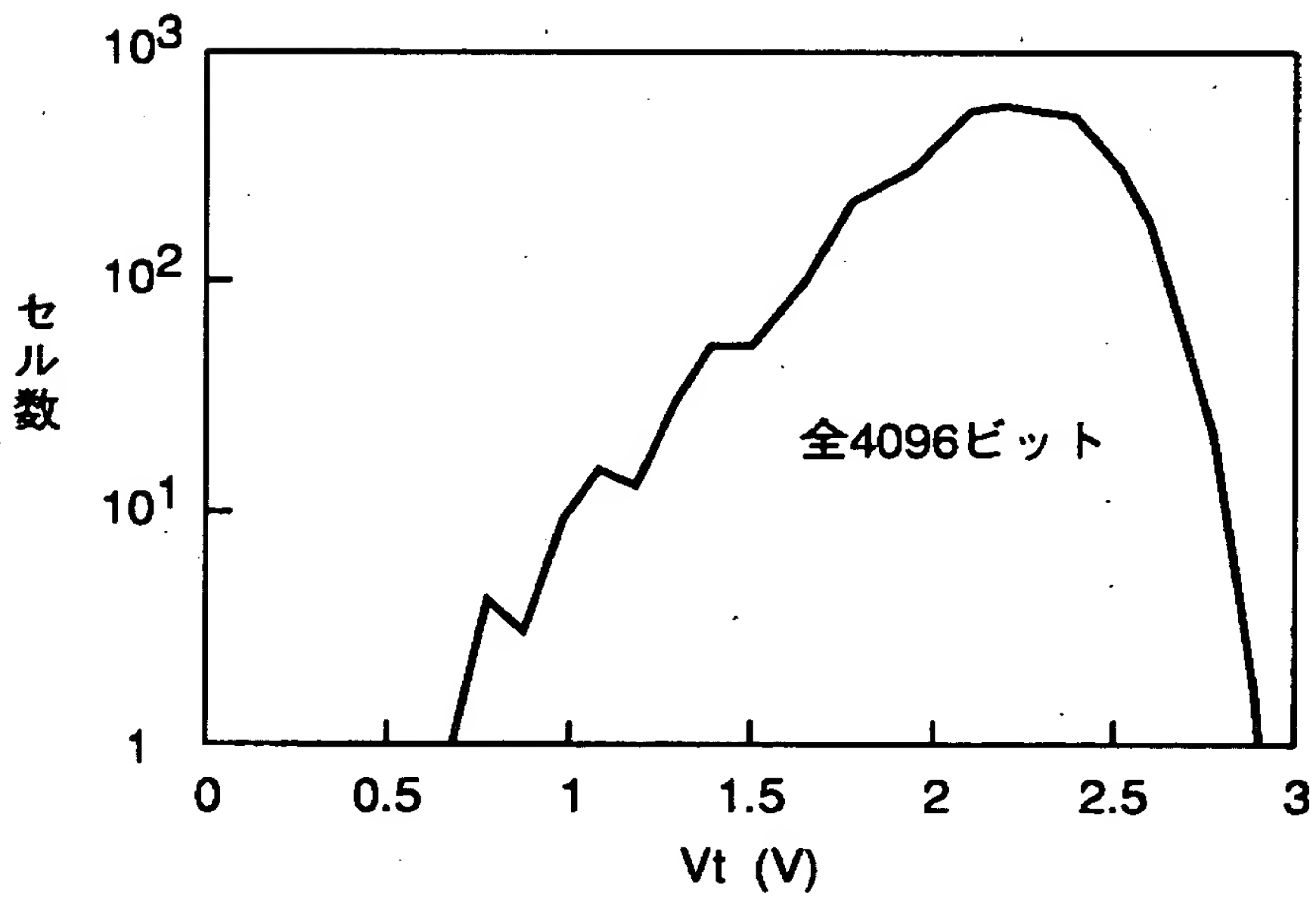
【図 7】



【図 8】

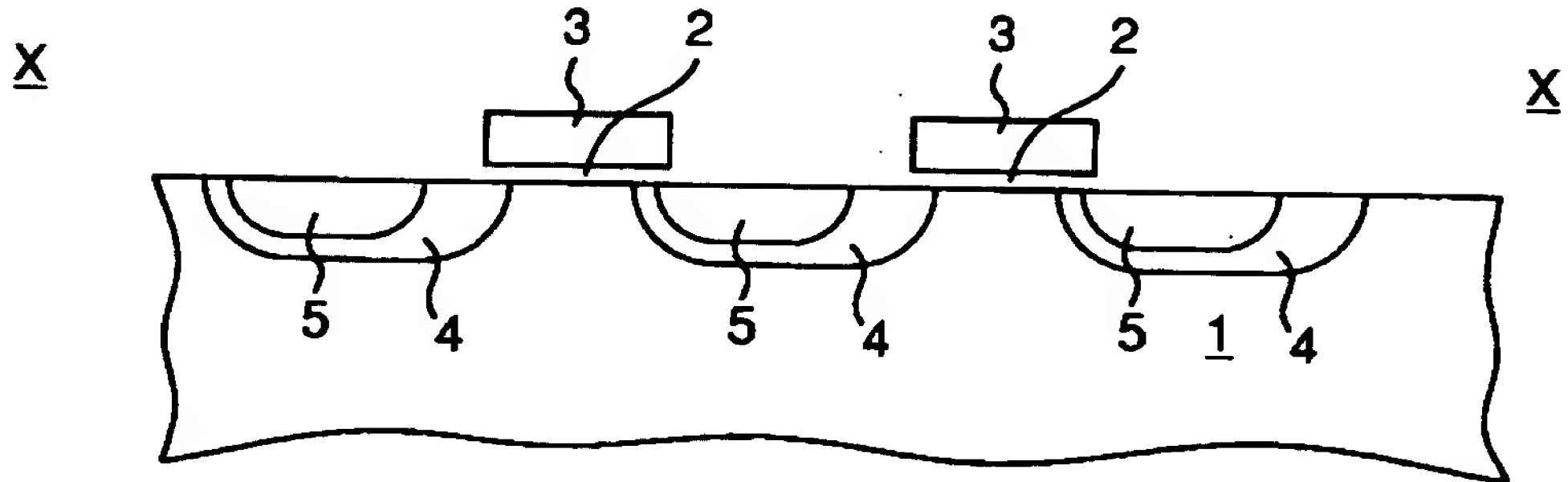


【図 9】

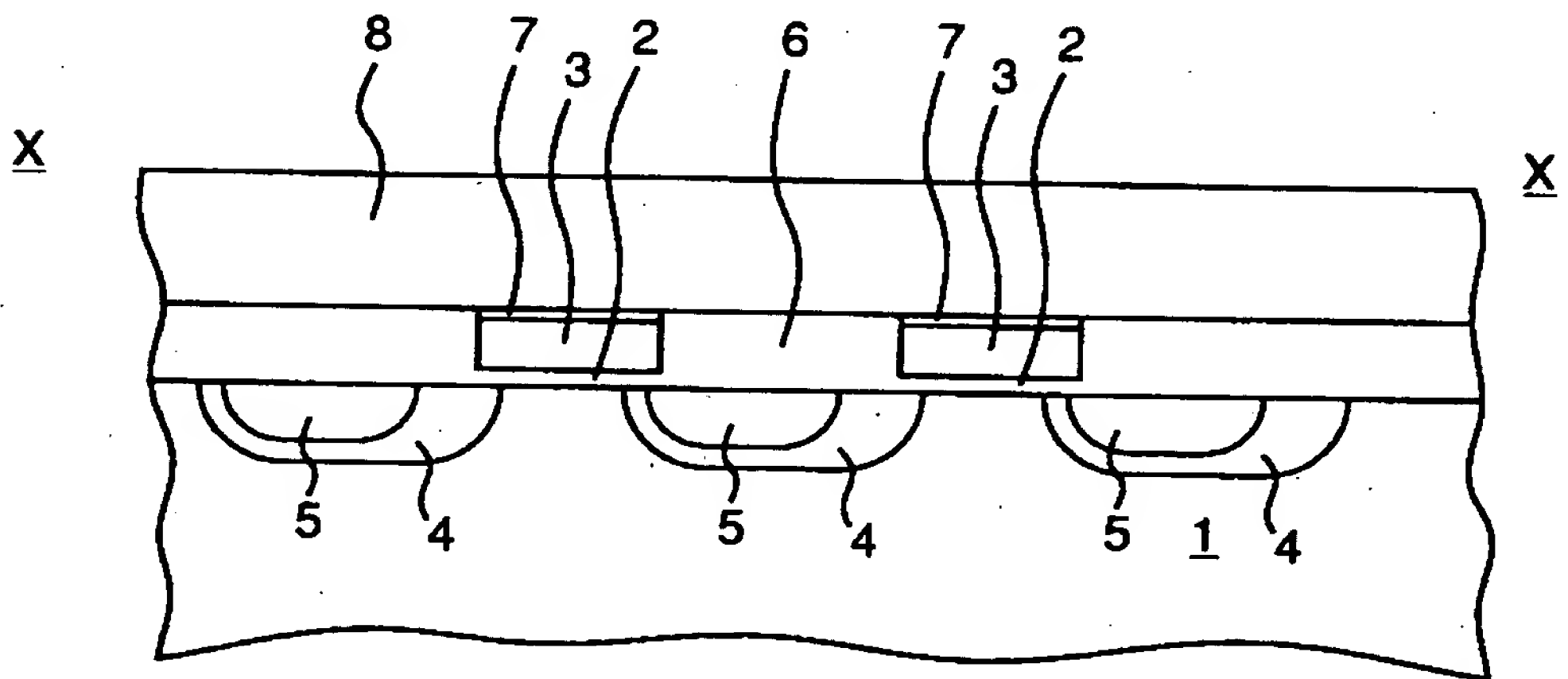


【図 1 0】.

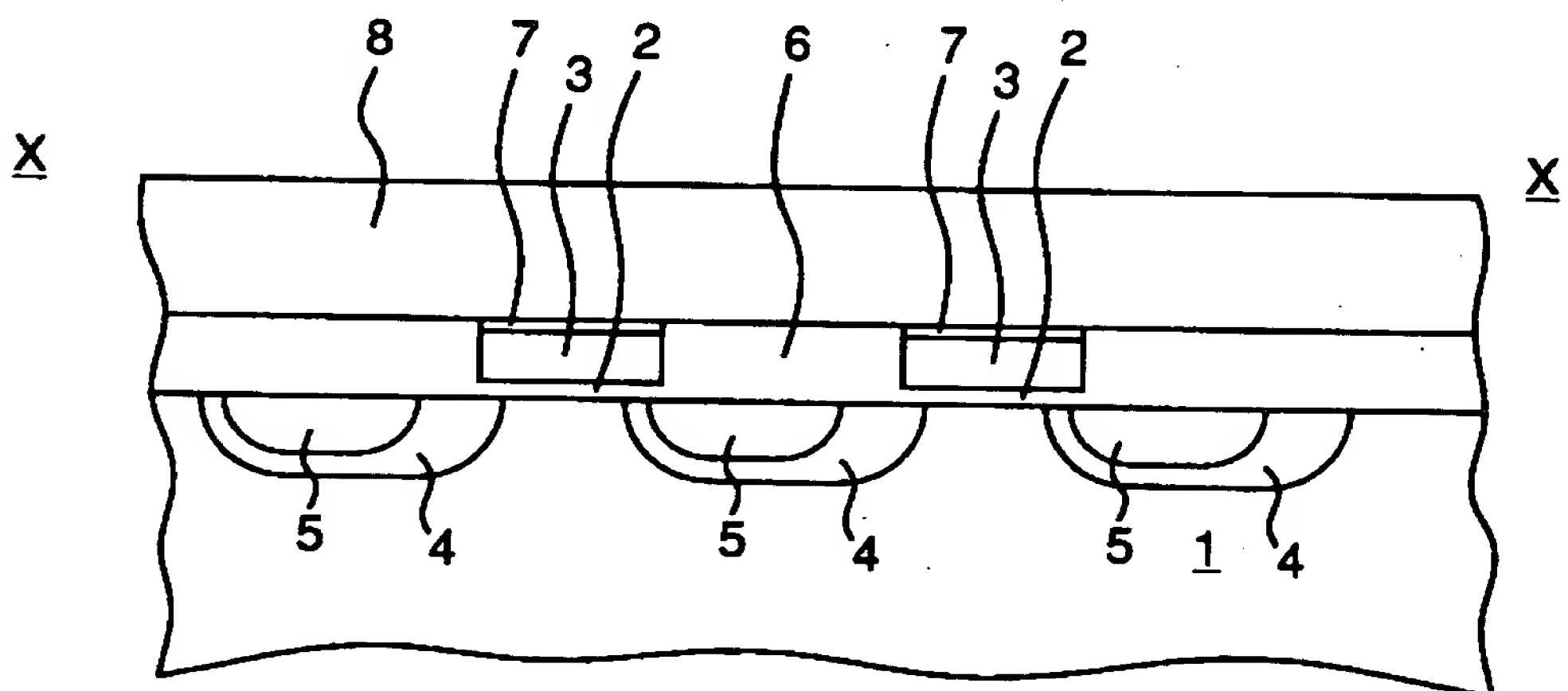
(A1)



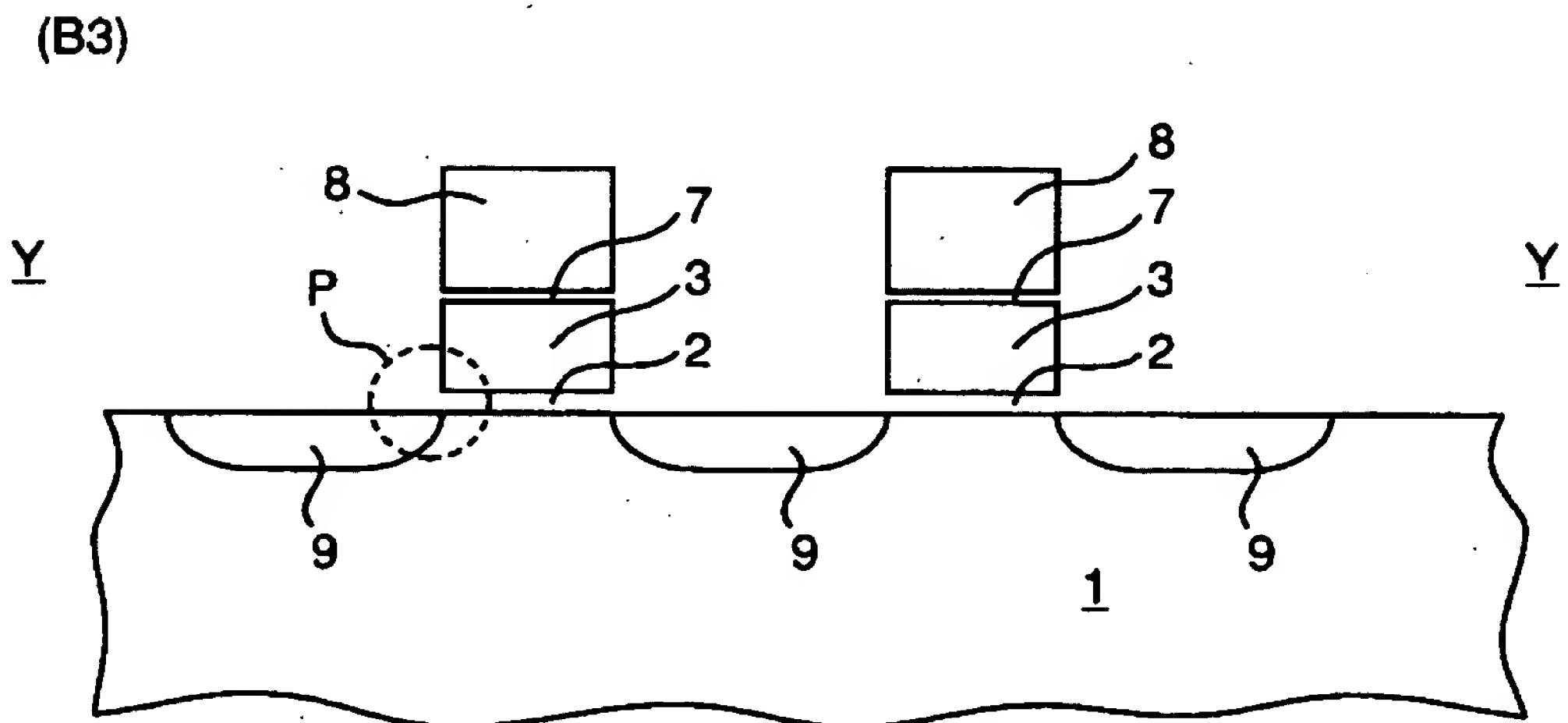
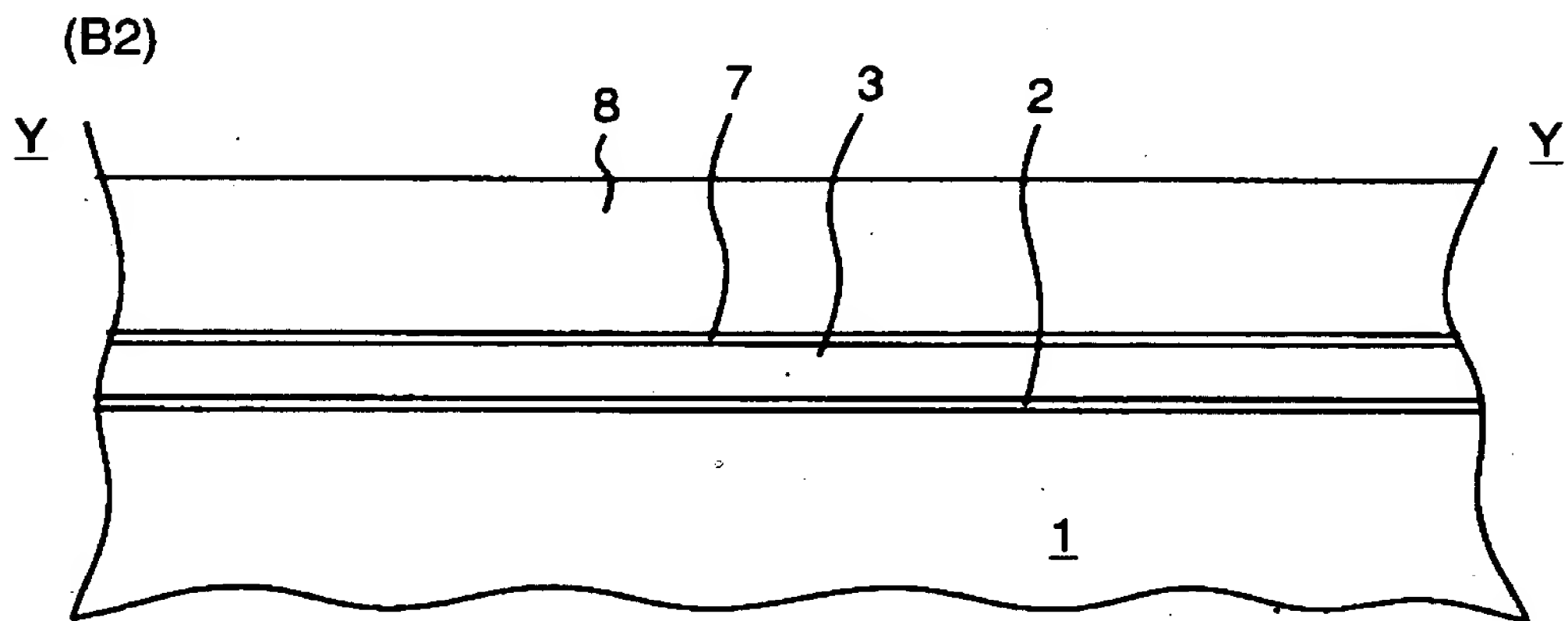
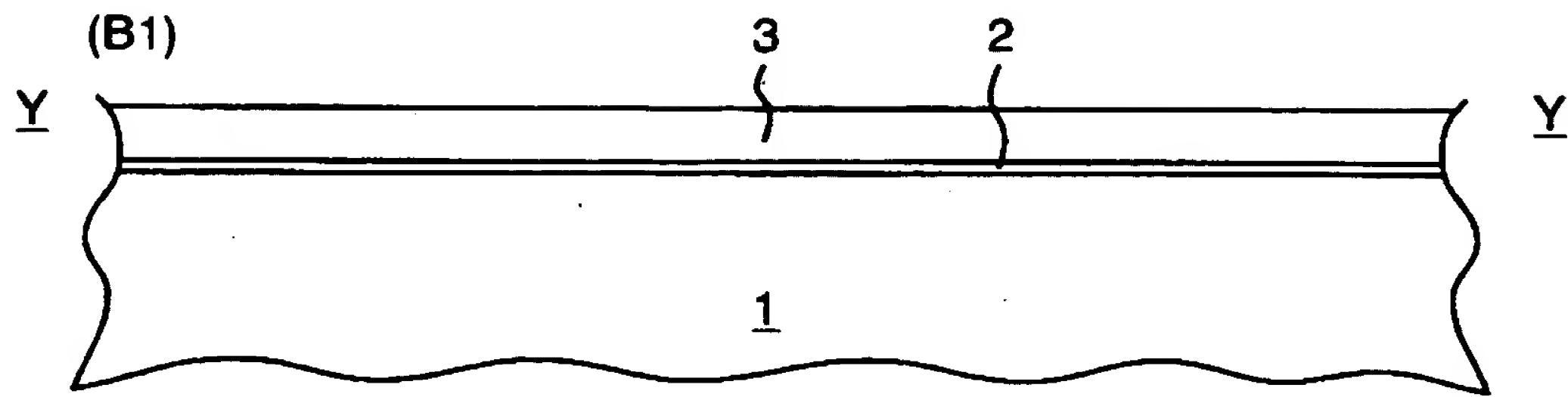
(A2)



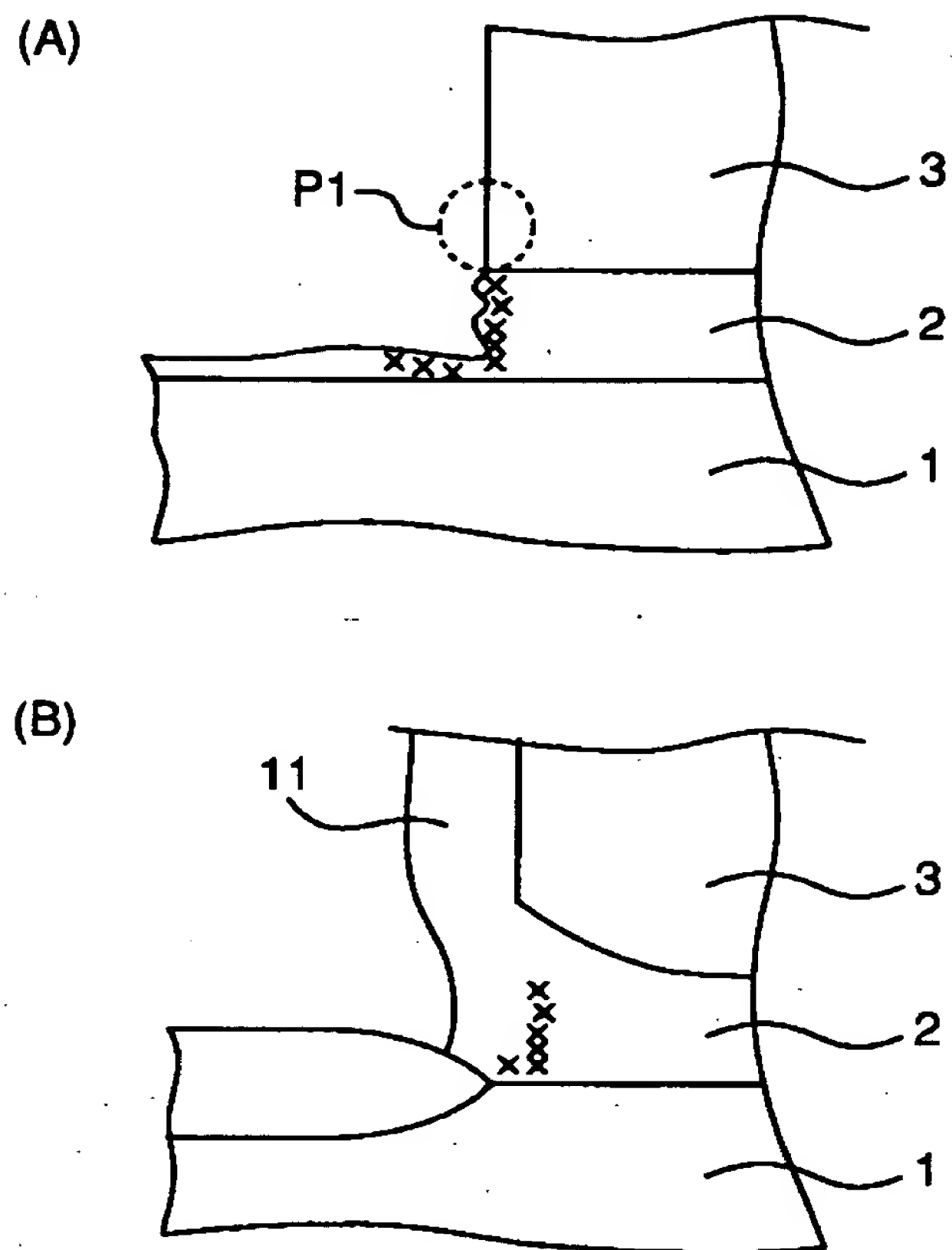
(A3)



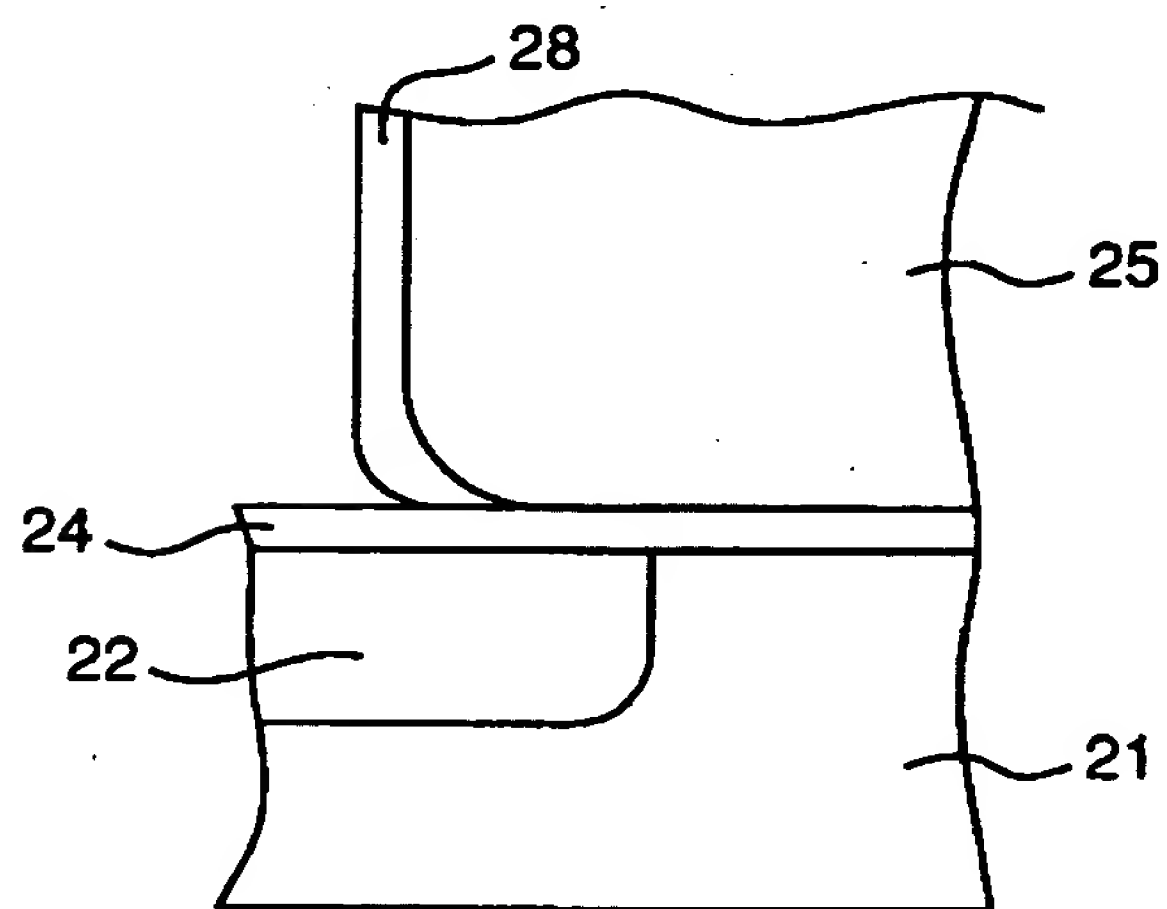
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 閾値電圧のバラツキを抑えて、ゲートディスターブ等の様々な問題を解消できる不揮発性半導体メモリの製造方法を提供する。

【解決手段】 トンネル酸化膜 2 上に浮遊ゲート 3、第 1 の絶縁膜 7、制御ゲート 8 の各材料をこの順に積層状態に形成する。制御ゲート 8、第 1 の絶縁膜 7、浮遊ゲート 3 をストライプ状にパターン加工する。続いて、等方性エッチングを行って、トンネル酸化膜 2 のうち浮遊ゲート 3 の側壁直下に相当する部分 2 d を除去する。第 2 の絶縁膜 1 0 を堆積して、制御ゲート 8、第 1 の絶縁膜 7、浮遊ゲート 3 およびトンネル酸化膜 2 の側壁を第 2 の絶縁膜 1 0 で覆う。

【選択図】 図 1

出願人履歴情報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社